

② 公開特許公報 (A)

昭60-14440

⑤Int. Cl.
H 01 L 21/302
C 30 B 33/00
H 01 L 21/205

識別記号

厅内整理番号
L 8223-5F
7417-4G
7739-5F

④公開 昭和60年(1985)1月25日

発明の数 1
審査請求 未請求

(全 3 頁)

⑤選択エピタキシャル成長層の平坦化方法

②特 願 昭58-122905

②出 願 昭58(1983)7月4日

②發明者 桜井弘美
伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研

究所内

③發明者 大賀弘朝

伊丹市西台4丁目6-20

④出願人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑤代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

選択エピタキシャル成長層の平坦化方法

2. 特許請求の範囲

(1) 半導体基板の一主面上に絶縁膜を形成し、この絶縁膜の一部に開口部を設け、この開口部に露出した上記半導体基板の表面上に半導体層を選択的にエピタキシャル成長させたときに、当該選択エピタキシャル成長層の周辺部に生じる半導体突起および多結晶半導体層並びに上記絶縁膜上に生じる多結晶半導体からなる島を除去するに際して、少なくとも上記選択エピタキシャル成長層の表面に絶縁膜を形成した後に、上記主面側上面全面にわたって、エッティング媒体の入射が被エッティング面に直角である場合よりも斜めである場合の方がエッティング速度が大きいよう異方性エッティングを施すことを特徴とする選択エピタキシャル成長層の平坦化方法。

(2) エッティングに高周波スパッタエッティングを用いることを特徴とする特許請求の範囲第1項記

載の選択エピタキシャル成長層の平坦化方法。

(3) エッティングにイオンビームエッティングを用いることを特徴とする特許請求の範囲第1項記載の選択エピタキシャル成長層の平坦化方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体集積回路装置の製造に当つて用いられる選択エピタキシャル成長によつて得られる半導体成長層の表面の平坦化方法に関する。

〔従来技術〕

半導体集積回路装置において、高密度集積化を目的として新しい電子間分離方法が研究されており次々と実用化が成されている中で、選択エピタキシャル成長法に対する期待が大きいにもかかわらず、実用化が遅れている理由の一つとして、選択エピタキシャル成長時に生じる絶縁膜開口部周辺の異常突起または多結晶成長および絶縁膜上に形成されるクラスター(島)があつた。第1図A、Bはこの問題を解決する先行技術を説明するための断面図で、シリコン(Si)基板(I)の一主面上に絶

膜(2)を形成し、これに所要の開孔を形成した後、S₁を選択エピタキシャル成長させて、S₁エピタキシャル成長層(3)を形成すると、開孔部周辺に異常突起(4)が生じ、しかもその範囲(2)の上の部分は単結晶ではなく多結晶となる。また絶縁膜(2)の上にはS₁のクラスター(5)が所々に形成される。そこで、図示矢印Iのようにアルゴン(Ar)イオンなどで高周波スパッタエッチングを施すと、そのエッチング速度がイオン入射角に依存し、垂直入射の部分より斜め入射の部分の方が大きいので、第2図Bに示すような理想的な選択エピタキシャル層(3a)が得られる。

ところが、このスパッタエッチングを利用して作つた半導体接觸相互間で耐圧のバラツキの大きいことがわかつた。その原因是エピタキシャル成長層(3)の形成時に表面に凹凸が生じると、スパッタエッチングによつて凸部は平坦になるが凹部はエッチングが促進されて凹部深さが増大される。これは上述のスパッタエッチングのイオン入射角依存性によるものである。第2図A、Bはこの様

子を示す断面図で、S₁の選択エピタキシャル成長層(3)の表面に第2図Aに示すように小さい凹部(6)が存在すると、これがスパッタエッチングを施した際に第2図Bに示すようにV字形の大きな深い凹部(6a)に成長する。

第3図はこのような従来の平坦化の方法によつて形成されたバイポーラ・トランジスタの構造を示す断面図で、(7)はコレクタ埋込み層、(8)はベース層、(9)はエミッタ層、(10)は絶縁膜で、(3a)がコレクタ層を形成する。このコレクタ層(3a)は第2図について説明したように凹部が存在すると、ベース層(8)と埋込み層(7)との間隔がこの凹部の部分で狭くなるので、空乏層がここで延びなくなり、アバランシエ・ブレイクダウンがこの部分で始まるので、耐圧が低くなる。この凹部の深さは0.3μm程度ではあるが、一様ではなくて粒子の均一化を図る上で好しくない。

[発明の概要]

この発明は以上のような点に鑑みてなされたもので、選択エピタキシャル成長工程を完了した後

に、このエピタキシャル成長層の表面に絶縁膜を形成した後に、上述のスパッタエッチングのような異方性エッチングを施すことによつて、選択エピタキシャル成長層の平坦部に小さな凹凸があつても、その凹凸が成長させずにエピタキシャル成長層の平坦化ができる方法を提供するものである。

[発明の実施例]

第4図A～Cはこの発明の一実施例の主要工程段階における状態を示す断面図で、まず、第4図Aに示すように、従来と同様にS₁基板(1)の上に酸化膜(2)を形成し、更にその上に結晶性を良くするため窒化膜(6)を形成する。窒化膜(6)および酸化膜(2)に開口を異方性エッチングで形成し、その開口内にS₁基板(1)の表面を露出させる。既いでシクロルシラン(SiH₂Cl₂)の分解を用いてS₁の選択エピタキシャル成長を行う。このとき開口部周辺には半導体突起(4)ができ、その突起(4)の窒化膜(6)の上の部分は多結晶となる。また、窒化膜(6)の上には多結晶S₁のクラスター(島)(5)が成長する。次に、第4図Bに示すように、酸化性雰囲気

で選択エピタキシャル成長層(3)およびS₁クラスター(5)の表面を酸化して酸化膜(7)を形成する。このときS₁の表面は酸化膜(7)の厚さの約0.5μm程度後退する。このときの酸化膜(7)の膜厚はその後に行う高周波スパッタエッチングに耐える必要がある。次に、矢印Iで示すように、Arイオンによる高周波スパッタエッチングを例えれば1W/cm²の電力を3h⁻¹行うと、選択エピタキシャル成長層(3)の表面に小さな凹部(深さ0.1μm以下)(6)があつても、第4図Cに示すように、更に掘り込まれることなく、選択エピタキシャル成長時に形成された形状を維持することができ、同図に示すように、不規則な突起(4)およびクラスター(5)はすべて取り除かれ、滑らかな単結晶エピタキシャル成長層(3)のみを残すことができ、所望の平坦化が完了する。このとき利用した酸化膜(7)はその後の工程で除去して新たな膜を形成しても、そのまま保護膜として用いてもよい。

なお、上記実施例では第4図Bにおける酸化膜(7)は熱取扱によつて形成したが、熱酸化膜以外の

酸化膜でもよく、その他の絶縁膜でもよい。また、第2図Aにおける塗化膜Bは必ずしも必要はない。更に、高周波スパッタエッティングの代りにエッティング媒体の入射が被エッティング面に直角であるときよりも斜めであるときの方がエッティング速度の大きい異方性エッティングならばイオンビームエッティング、その他任意のエッティング法を用いることができる。

[発明の効果]

以上説明したように、この発明では選択エピタキシャル成長層の表面を絶縁膜を形成した後、高周波スパッタエッティングのようなエッティング速度がエッティング媒体の入射角に依存性のある異方エッティングを施すので、上記エピタキシャル成長層の平坦部に発生している小さな凹部を成長させることなく、エピタキシャル成長層の平坦化が可能である。

4. 図面の簡単な説明

第1図は先行技術による選択エピタキシャル成長層の平坦化方法を説明するための断面図、第2

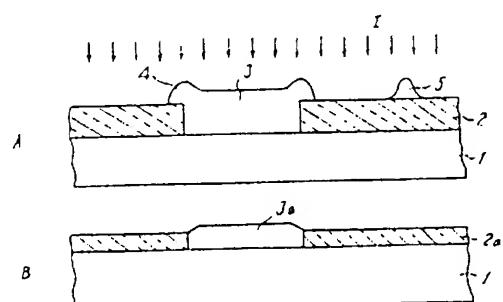
図はこの先行技術になる方法の問題点を説明するための断面図、第3図はこの先行技術になる平坦化の方法によつて形成されたバイポーラ・トランジスタの構造を示す断面図、第4図はこの発明の一実施例の主要工程段階における状態を示す断面図である。

図において、(1)はS₁(半導体基板)、(2)は酸化膜(絶縁膜)、(3)は選択エピタキシャル成長層、(4)は突起部、(5)はクラスター、(6)は酸化膜(絶縁膜)、(7)は酸化膜(絶縁膜)である。

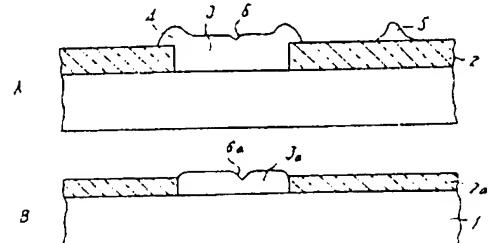
なお、図中同一符号は同一または相当部分を示す。

代理人 大岩増雄

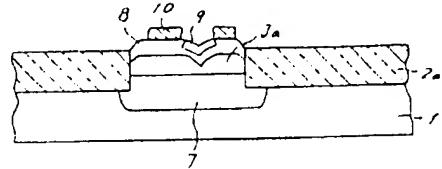
第1図



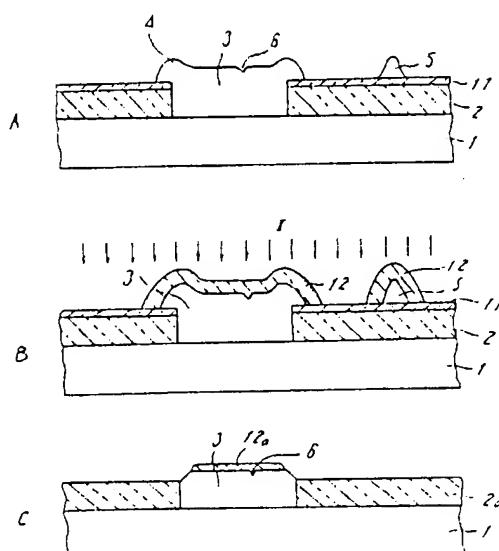
第2図



第3図



第4図



SPECIFICATION

1. Title of the Invention

METHOD FOR PLANARIZING SELECTIVE EPITAXIAL GROWTH LAYER

2. Claims:

(1). A method for planarizing a selective epitaxial growth layer characterized in that when an insulating film is formed on one main surface of a semiconductor substrate, an opening is partially disposed on the insulating film, and a semiconductor layer is epitaxially grown selectively on a surface of the semiconductor substrate exposed in the opening, in removing a semiconductor projection and a polycrystalline semiconductor layer generated in the surroundings of the selective epitaxial growth layer and an island made of polycrystalline semiconductor generated on the insulating film, after an insulating film is formed at least on a surface of the selective epitaxial growth layer, over an entire top surface on the main surface side, anisotropic etching is performed so that an etching speed is larger when an etching medium enters obliquely a surface to be etched than when it enters vertically the surface to be etched.

(2). A method for planarizing a selective epitaxial growth layer as set forth in claim 1, wherein RF sputter etching is used to etch.

(3). A method for planarizing a selective epitaxial growth layer as set forth in claim 1, wherein the etching is performed

by use of ion beam etching.

3. Detailed Description of the Invention

[Technical Field to which the Invention Belongs]

The present invention relates to a method for planarizing a surface of a semiconductor growth layer obtained by selective epitaxial growth that is used when a semiconductor integrated circuit device is fabricated.

[Prior Art]

Many new element isolation methods have been continuously disclosed and put into practical use with the intention of realizing higher density integration in a semiconductor integrated circuit device. In spite of large expectation on selective epitaxial growth method among these, its practical use is greatly behind the expectation. One of reasons for this is in that, during the selective epitaxial growth, irregular projection growth or poly crystal growth is caused in the surroundings of an insulating film opening and clusters (islands) are formed on the insulating film. Fig. 1A and Fig. 1B are sectional views for explaining a prior art for overcoming the problem. After an insulating film (2) has been formed on one main surface of a silicon (Si) substrate (1) and a predetermined opening has been bored therein, by performing the selective epitaxial growth process of Si, a Si epitaxial growth layer (3) is formed. At this time, in the surroundings of the opening, irregular projections (4)

are generated, and portions thereof on the insulating film (2) are not single crystal but poly crystal. In addition, Si clusters (5) are formed from place to place on the insulating film (2). Then, when RF sputter etching is applied with argon (Ar) ions or the like as shown by arrow marks I in Fig. 1A, the etching speed thereof depends on an angle of incidence of ion in such way that ones incident obliquely are higher in the etching speed than ones incident vertically. As a result, as shown in Fig. 1B, an ideal selective epitaxial layer (3a) can be obtained.

However, it is found that semiconductor devices fabricated by use of the sputter etching show large dispersion in breakdown voltages thereof. The reason for this is in that when irregularities are generated on the surface during the formation of the epitaxial growth layer (3), convexities can be flattened owing to the sputter etching, but since concavities are etched furthermore, the depths thereof are increased. This is due to incidence angle dependency of ions when the sputter etching is performed. Fig. 2A and Fig. 2B are sectional views showing these situations. When there is a small concavity (6) on a surface of the selective epitaxial growth layer of Si as shown in Fig. 2A, when the sputter etching is performed, this grows into a large and deep V-shaped concavity (6a) as shown in Fig. 2B.

Fig. 3 is a sectional view showing a structure of a

bi-polar transistor fabricated according to such the existing planarizing method. In the figure, reference numeral (7) denotes a buried collector layer, reference numeral (8) a base layer, reference numeral (9) an emitter layer, reference numeral (10) an insulating film, and reference numeral (3a) a collector layer. When there is a concavity in the collector layer (3a) as explained in Fig. 2, since a separation between the base layer (8) and the buried layer (7) becomes narrower at the concavity, a depletion layer does not extend there and avalanche breakdown starts there. As a result, a breakdown voltage becomes lower. Although a depth of the concavity is substantially 0.3 μm , it is not even. Accordingly, the concavity is not desirable in view of planarizing a device.

[Outline of the Invention]

The present invention has been accomplished in view of the aforementioned situations. The present invention intends to provide a method for planarizing an epitaxial growth layer in which after the selective epitaxial growth process has been completed and an insulating film has been formed on a surface of the epitaxial growth layer, anisotropic etching such as the aforementioned sputter etching is applied, thereby without allowing irregularities to grow even when there are small irregularities on a flat portion of the selective epitaxial growth layer, the epitaxial growth layer can be planarized.

[Embodiments]

Fig. 4A through Fig. 4C are sectional views showing states in main process stages according to one embodiment of the present invention. First, as shown in Fig. 4A, similarly to the existing method, an oxide film (2) is deposited on a Si substrate (1), and further thereon a nitride film (11) is deposited so as to improve crystallinity. An opening is formed in the nitride (11) and the oxide films (2) by means of the anisotropic etching, and thereby in the opening a surface of the Si substrate (1) is exposed. Subsequently, by making use of the decomposition of dichlorosilane (SiH_2Cl_2), the selective epitaxial growth of Si is performed. At that time, there are formed semiconductor projections (4) in the surroundings of the opening, and portions above the nitride film (11) of the projections (4) become polycrystalline. In addition, a cluster (island) (5) of polycrystalline Si grows on the nitride film (11). Next, as shown in Fig. 4B, in an oxidizing atmosphere, surfaces of the selective epitaxial growth layer (3) and the Si cluster (5) are oxidized, and thereby an oxide film (12) is formed. At that time, the Si surface recedes by substantially 45% of a thickness of the oxide film (12). The thickness of the oxide film (12) at this time has to withstand the later RF sputter etching. Next, as shown by arrow marks I, when the RF sputter etching with Ar ions is performed at an electric power of, for instance,

1 W/cm² for 3 hr, even when there are small concavities (0.1 μm or less in depth) (6) on the surface of the selective epitaxial growth layer (3), as shown in Fig. 4C, without further being dug out, a shape formed during the selective epitaxial growth can be maintained. That is, as shown in the same figure, since all of unnecessary projections (4) and clusters (5) can be removed, there can be remained only a clean single crystalline epitaxial growth layer (3). As a result, a desired planarization is accomplished. The oxide film (12) utilized at this time may be removed in the later stage and a new film may be formed, or it may be used as a protective film as it is.

In the above embodiment, although the oxide film (12) in Fig. 4B is formed due to thermal oxidation, it may be other oxide film or other insulating film than the thermally oxidized film. In addition, the nitride film (11) in Fig. 4A is not necessarily required. Furthermore, in place of the RF sputter etching, when the anisotropic etching where the etching speed is larger when the etchant enters obliquely a surface to be etched than when it enters perpendicularly the surface to be etched is used, an ion beam etching method and other arbitrary etching method can be used.

[Advantage of the Invention]

As explained above, in the present invention, since after an insulating film is formed on a surface of a selective

epitaxial growth layer, anisotropic etching in which an etching speed is dependent on an angle of incidence of an etchant, such as RF sputter etching, is applied, without allowing small concavities generated on a flat portion of the epitaxial growth layer to grow, the epitaxial growth layer can be planarized.

4. Brief Description of the Drawings

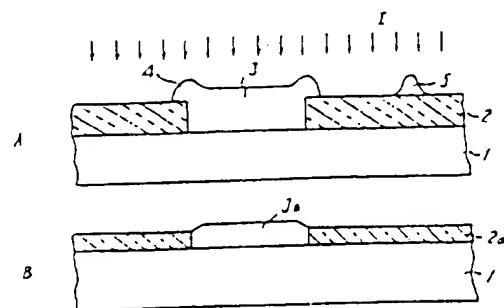
Fig. 1A and Fig. 1B are sectional views for explaining a method for planarizing a selective epitaxial growth layer according to a prior art, Fig. 2A and Fig. 2B are sectional views for explaining problems of the method according to the prior art, Fig. 3 is a sectional view showing a structure of a bipolar transistor formed according to a planarizing method according to the prior art, and Figs. 4A through 4C are sectional views showing states in main process stages according to one embodiment of the present invention.

In the figures, reference numeral (1) denotes Si (semiconductor substrate), reference numeral (2) denotes an oxide film (insulating film), reference numeral (3) denotes a selective epitaxial growth layer, reference numeral (4) denotes a projection, reference numeral (5) denotes a cluster, reference numeral (11) denotes a nitride film (insulating film), and reference numeral (12) denotes an oxide film (insulating film).

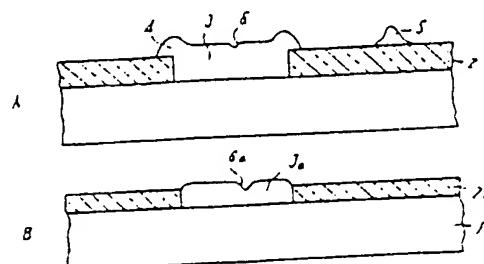
In the figures, the same reference numerals denote the

same or corresponding portions.

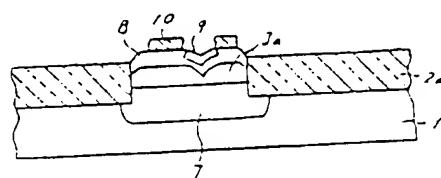
[Fig. 1]



[Fig. 2]



[Fig. 3]



[Fig. 4]

